

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338914

(43)Date of publication of application : 06.12.1994

(51)Int.CI.

H04L 25/08

HO3H 17/00

НОЗМ 13/12

H04L 27/01

(21)Application number : 05-129812

(71)Applicant : SONY CORP

(22) Date of filing : 31.05.1993

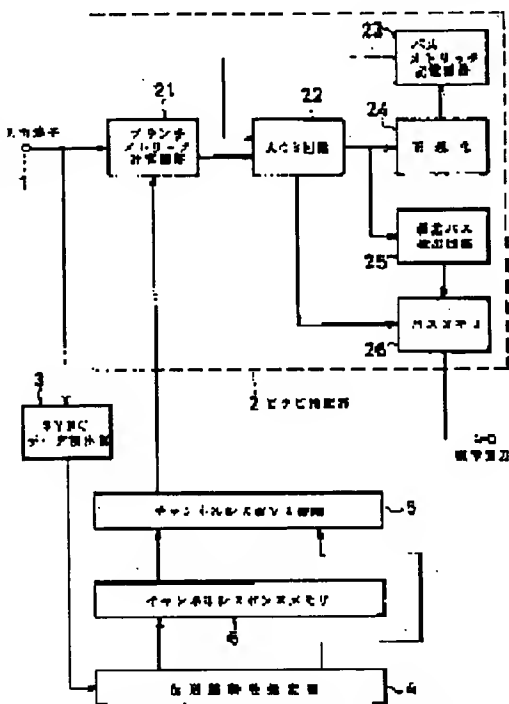
(72)Inventor : SATO TERUO

(54) VITERBI EQUALIZER

(57)Abstract:

PURPOSE: To propose a viterbi equalizer capable of obtaining efficient equivalent characteristic.

CONSTITUTION: The viterbi equalizer is composed of a first synchronizing signal data detection means 3 detecting the synchronizing signal data part of a first time slot from a reception signal data group, a second synchronizing signal data detection means 3 detecting the synchronizing signal data part of a second time slot from the reception signal data group, a transmission line characteristic estimating means 4 identifying first and second impulse responses between a transmitter and a receiver by respectively using the method of least squares by setting synchronizing signal data of the first and second time slots detected by the first and second synchronizing signal data detection means 3 to be a reference signal, an impulse response interpolation means 5 obtaining an impulse response between synchronizing signal data of the first and second time slots by linear-interpolating the first and second impulse responses and a decoding means 2 decoding a transmission data group by using viterbi algorithm based on the impulse response from the impulse response interpolation means 5.



LEGAL STATUS

[Date of request for examination]

25.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of night]

(11)特許出願公開番号

特開平6-338914

(43)公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H04L 25/08

B 9199-5K

H 0 3 H 17/00

A. 7037-5 J

H0 3M 13/12

8730-5 J

H04L 27/01

9297-5K

H04L 27/00

K

審査請求 未請求 請求項の数2 OL (全 13 頁)

(21)出願番号

特願平5-129812

(22) 出願目

平成5年(1993)5月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 輝雄

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

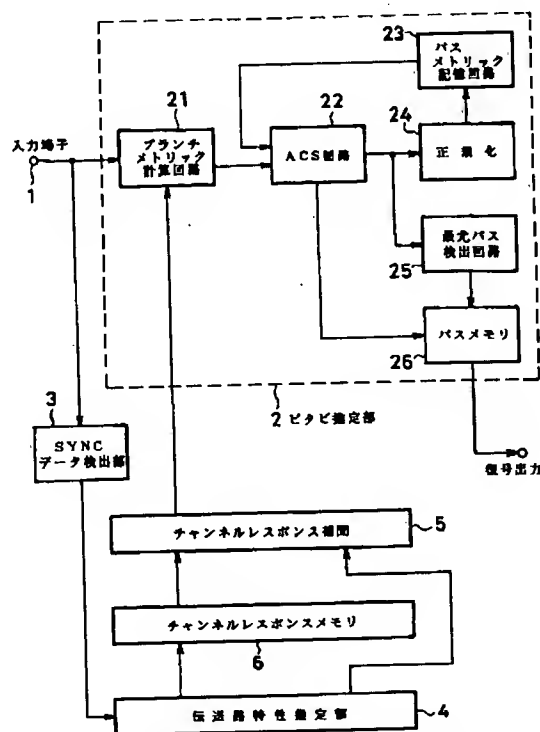
(74)代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 ビタビ等化器

(57) 【要約】

【目的】 精度の良い等化特性を得ることができるビタ
ビ等化器を提案することを目的とする。

【構成】 受信信号データ系列中からの第1のタイムスロットの同期信号データ部を検出する第1の同期信号データ検出手段3と、この受信信号データ系列中からの第2のタイムスロットの同期信号データ部を検出する第2の同期信号データ検出手段3と、この第1及び第2の同期信号データ検出手段3により検出した第1及び第2のタイムスロットの同期信号データを参照信号として、夫々最小2乗法を用いて送信機と受信機との間の第1及び第2のインパルス応答を同定する伝送路特性推定手段4と、この第1及び第2タイムスロットの同期信号データ間のインパルス応答をこの第1及び第2のインパルス応答を線形補間して求めるインパルス応答補間手段5と、このインパルス応答補間手段5よりのインパルス応答を基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段2とより成るものである。



本発明ビタビ等化器の例

【特許請求の範囲】

【請求項1】 受信信号データ系列中からの第1のタイムスロットの同期信号データ部を検出する第1の同期信号データ検出手段と、

前記受信信号データ系列中からの第2のタイムスロットの同期信号データ部を検出する第2の同期信号データ検出手段と、

前記第1及び第2の同期信号データ検出手段により検出した第1及び第2のタイムスロットの同期信号データを参照信号として、最小2乗法を用いて送信機と受信機との間の第1及び第2のインパルス応答を同定する伝送路特性推定手段と、

前記第1及び第2タイムスロットの同期信号データ間のインパルス応答を前記第1及び第2のインパルス応答を線形補間して求めるインパルス応答補間手段と、

該インパルス応答補間手段よりのインパルス応答を基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段とより成ることを特徴とするビタビ等化器。

【請求項2】 請求項1記載のビタビ等化器において、前記第2タイムスロットが後続フレームの前記第1タイムスロットと同じタイムスロットであることを特徴とするビタビ等化器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は例えば自動車電話等を使用して好適なビタビ等化器に関する。

【0002】

【従来の技術】 米国、欧州及び日本においては、自動車電話方式のデジタル化が進められている。この自動車電話の如き移動体通信では自動車の様に高速で移動局と基地局との間に高層ビル等が介在することによりいわゆるマルチパスの影響を受けて、基地局及び移動局間の伝送特性が大幅に劣化してしまうので、エラーの少ないデータ伝送が困難であった。しかも、この等価的な伝送特性が時々刻々変動する。

【0003】 この様な移動通信システムにおいて、エラーの少ない受信を実現するためには、こうした伝送特性を補正する等化技術が不可欠である。

【0004】 従来斯る等化技術として基地局と移動局と間の伝送特性を用いて送信データを最尤系列推定に基づいて復号するビタビ等化器が提案されている。

【0005】 このビタビ等化器の基本構成は図3に示す如きものであり、ここでは、この図3に示すビタビ等化器を欧州の自動車電話で採用されているGSM（グループスペシャルモーバ）方式に適用した例につき述べる。

【0006】 この図3においては入力端子1に供給される受信信号をビタビ推定部2を構成するブランチメトリック計算回路21に供給すると共にこの受信信号を同期

信号データ検出部3に供給し、この同期信号データ検出部3よりの同期信号データを伝送路特性推定部4に供給する。

【0007】 この欧州で採用されたGSM方式の基地局から移動局（自動車）への通信チャンネルは図4A及びBに示す如きフレーム構成となっている。この各タイムスロットは図4Bに示す如くその中央部に既知のパターンを有する同期信号パターン（SYNCパターン）が付加されて送られてくるので、この伝送路特性推定部4ではこの同期信号パターンを利用して送信機と受信機との間に介在する伝送系のインパルス応答（以下チャンネルレスポンスという。）を推定（同定）する。

【0008】 このGSM方式の場合にはGMSK（ガウシアンミニマムシフトキーイング）という変調方式が採用されているが、高周波伝送系は復調器を通すことによりベースバンド信号に変換されるので、以下では説明を単純化するためにベースバンドにおける信号処理として話を進める。

【0009】 このGSM方式においては、同期信号パターンとして8種類のデータ系列が予め指定されており、その内の1つの系列を図5に示す。この同期信号パターンを利用してチャンネルレスポンスをモデル化する従来の一般的な手順を説明する。

【0010】 今、チャンネルレスポンスが図6で示される様なケースを例題として取り上げることにする（現実には、このチャンネルレスポンスは未知である。）。この図6において、時間軸方向の単位は、シンボルの送出間隔に等しい。この図6の同期信号パターンは図5の同期信号パターンである。この様なチャンネルレスポンスを有する伝送系を通過した時に受信される同期信号データは次式で表される。

【0011】

【数1】

$$y_i = \sum_{n=-\infty}^{+\infty} h_n \cdot x_{i-n}$$

【0012】 ここで y_i は受信信号、 x_i は同期信号パターン、 h_i はチャンネルレスポンスを表す。また、夫々シンボル時間間隔Tでサンプリングされた値である。

【0013】 数1に従って同期信号パターン部に対応する受信信号を計算すると図6で示される様な出力信号が得られる。この受信機側において、既知である情報は同期信号パターン x_i と受信信号 y_i である。

【0014】 従来のこの伝送路特性推定部4のモデル化の処理手順は、まず受信信号と同期信号パターンとの相関をとることによって同期信号データ部を検出する。

【0015】 次にこの同期信号データ部と同期信号パターンとの相互相関関数 r_j を計算する。

【0016】

【数2】

$$r_j = \sum_{n=-l_m}^{+l_p} x_n \cdot y_{n+j}$$

【0017】次にこの相互相関関数 r_j の最大値を用いて正規化を行なう。このようにして計算された相互相関関数を図6に示す。この相互相関関数によりチャンネルレスポンスを推定し、ブランチメトリック計算回路21に供給する。

【0018】このチャンネルレスポンスを推定した後で、ビデリアルゴリズムを用いて送信データ系列を復号する。図7に一般化した伝送路等価モデルを示す。ここでは、この図7の一般化した伝送路等価モデルを具体的にそのチャンネルレスポンス長を限定してモデル化した図8の例について話を進める。

【0019】この図8のようにモデル化するとそれは

$$G = \sum_{n=-1}^{+2} h_n \langle T_{n+1} \rangle$$

$$= h_{-1} \langle T_0 \rangle + h_0 \langle T_1 \rangle + h_{+1} \langle T_2 \rangle + h_{+2} \langle T_3 \rangle$$

ここで $\langle T_j \rangle$ はレジスタ T_j に格納された内容を表すものとする。

【0022】この図8に示す伝送路等価モデルにおける伝送路の内部状態の遷移を表すトレリス図を図9に示す。この図9の各状態接点 S_j に対応する3文字のアルファベットは各タイムスロットにおけるシフトレジスタの内部状態を表すものとする。ここでシフトレジスタは $\langle +1 \rangle$ と $\langle -1 \rangle$ の値をとるので、表現の都合上それぞれH及びLと表すこととする。尚この図9では通常用いられる格子構造図に変形を加えて、情報入力シンボル $\langle -1 \rangle$ が入力された場合には実線で、また情報入力シンボル $\langle +1 \rangle$ が入力された場合には破線で示す様な遷移が発生することを表している。

【0023】一方ブランチメトリック計算回路21に受信信号データ Y_k を入力してその遷移に関する尤度を計算する。その尤度を量るための計量として幾つか提案されているが、ビタビ復号器における最も一般的な評価尺度であるハミング距離を広義に適用する。

【0024】今タイムスロット $t(k)$ におけるブランチメトリックは次式で計算される。

【0025】

$$\text{【数4】 } b(k, S_j \rightarrow S_n) = |Y_k - G_k|$$

ここで、 Y_k は受信信号データであり、また G_k は等価伝送路モデルから送出されるシンボルであって、数3で計算される値をとる。

【0026】このブランチメトリック計算回路21に得られるブランチメトリックをACS (Add Compare Select) 回路22に供給する。このACS回路22は、加算器と比較器とセレクトとから構成され、各状態において、このブランチメトリックとパスメトリック記憶回路23に記憶されている1タイムスロット前のパスメトリ

拘束長=4

符号化率 $r=1/1$

の畳み込み符号器と見ることができる。但し、通常の畳み込み符号器と異なる点は加算器71が線形動作をおこなうこと及びシフトレジスタ T_0 , T_1 , T_2 及び T_3 に入力されるシンボルは $\langle +1 \rangle$ と $\langle -1 \rangle$ との2値であり、またシフトレジスタの各出力はチャンネルレスポンス h_{-1} , h_0 , h_{+1} 及び h_{+2} に相当する重みを付けた後に加算器71で加えられることの2点である。

【0020】このようにモデル化した場合に送出されるシンボルGは次式で表される。

【0021】

【数3】

ックとを加算してその値の小さい方を尤もらしい生き残りパスとして選択する。ここでパスメトリックとは、生き残りパスにおけるブランチメトリックを合算した値である。

【0027】このACS回路22の出力信号を正規化回路24を介してパスメトリック記憶回路23に供給すると共にこのACS回路22の出力信号を最尤パス検出回路25に供給する。

【0028】この最尤パス検出回路25は最小のパスメトリック値を有するパスを検出してそのパスに対応したパスメモリ26の内容を復号データとして出力する。このパスメモリ26は情報ビット列を推定して記憶しておくメモリである。

【0029】このビタビ等化器を構成する論理ユニットを図10に示す。この図10において、各計量はそれぞれ次の様な内容を表すものとする。

【0030】 $P(k-1, S_j)$: タイムスロット $t(k-1)$ において状態節点 S_j に到達した生き残りパスが有するパスメトリック

$P(k-1, S_j)$: タイムスロット $t(k-1)$ において状態節点 S_j に到達した生き残りパスが有するパスメトリック

$b(k, S_j \rightarrow S_n)$: タイムスロット $t(k)$ において状態節点 S_j から状態節点 S_n への遷移に対応するブランチメトリック

$b(k, S_j \rightarrow S_n)$: タイムスロット $t(k)$ において状態節点 S_j から状態節点 S_n への遷移に対応するブランチメトリック

【0031】 $M(k-1, S_j)$: タイムスロット $t(k-1)$ において状態節点 S_j に到達した生き残りパスが有するパスメモリ

$M(k-1, S_j)$: タイムスロット $t(k-1)$ において状態節点 S_j に到達した生き残りパスが有するパスメモリ

$\langle -1 \rangle, \langle +1 \rangle$: タイムスロット $t(k)$ において送出されたと推定される情報シンボル

$P(k, S_n)$: タイムスロット $t(k)$ において状態節点 S_n に到達した生き残りパスが有するパスメトリック

$M(k, S_n)$: タイムスロット $t(k)$ において状態節点 S_n に到達した生き残りパスが有するパスメモリ

【0032】ここで、拘束長を k とすると、状態数は 2^{k-1} だけ存在するので、図10に示す論理ユニットの数も基本的には状態数 2^{k-1} だけ必要となる。更に図3に示したビタビ等化器のブロック構成の様に正規化回路24を設けて、パスメトリック記憶回路23の規模を減らし、またパスメトリック計算時におけるオーバーフローを防ぐ方式が一般的である。

【0033】この正規化の具体的な処理としては、まずパスメトリックの最小値を検出し次にその値を各パスメトリック量から減算する処理が行なわれる。このようにしてセレクトされた行き残りパスの数は、状態数と同じく 2^{k-1} だけ存在することになる。

【0034】各タイムスロットにおいて、行き残りパスを選択する操作とそのパスに対応するパスメトリックとパスメモリ26を更新する操作を繰り返す。この操作を十分に長い時間にわたって行なうとある時間以前においては、同一のパスにマージすることが知られており、この様子を図11に示す。最新の処理時点から遡ってパスがマージするまでのパスの長さを打ち切りパス長と呼んでいる。

【0035】図10のパスメモリの更新のしかたはそれぞれの状態により決定する。例えば“LLL”の論理ユニットでは $\langle -1 \rangle$ 、“HLL”の論理ユニットでは $\langle +1 \rangle$ と決り、以下同様に決まる。

【0036】最尤判定では最小のパスメトリック値を有するパスを検出してそのパスに対応したパスメモリの内容を打ち切りパス長（通常拘束長の3倍から4倍程度に設定される）分さかのぼった時点の情報シンボルとして出力する。

【0037】この従来のビタビ等化器の信号処理の流れを図12のフローチャートを用いて説明する。先ず受信信号データ Y_k が入力端子1に供給されたときに同期信号パターンを検出し（ステップS1）、この受信信号データ Y_k の同期信号パターンと予め記憶されている同期信号パターンとの相互相関関数を伝送路特性推定部4において計算し（ステップS2）チャンネルレスポンスを推定する（ステップS3）。次にブランチメトリック計算回路21はブランチメトリックの計算を行い（ステップS4）、続いてN番目のステートについて計算を開始する（ステップS5）。

【0038】次に1タイムスロット前のステート1のアドレスを設定し（ステップS6）、次にこの設定したアドレスのパスメトリック記憶回路23に記憶されたパスメトリックを読み込み（ステップS7）、このパスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する（ステップS8）。

【0039】次にステップS9では、1タイムスロット前のステート2のアドレスの設定を行い、この設定したアドレスのパスメトリック記憶回路23に記憶されたパスメトリックを読み込み（ステップS10）、このパスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する（ステップS11）。

【0040】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い（ステップS12、S13）、そのセレクト値を出力し（ステップS14）、この値でパスメトリック記憶回路23を更新する（ステップS15）と共にパスメモリ26を更新する（ステップS16）。

【0041】上述したステップS5からステップS16までの処理を、状態数 2^{k-1} だけ繰り返す（ステップS17）。以上の処理が終了した後、最尤パス検出回路25によって最小のパスメトリック値を有するパスを検出し（ステップS18）、さらにパスメトリックの最小値を各パスメトリック量から減算することにより正規化の処理を行う（ステップS19）。

【0042】続いて最尤パス検出回路25によって最尤パスのアドレスを設定し（ステップS20）、パスメモリ26の内容を復号データとして出力する（ステップS21）。

【0043】

【発明が解決しようとする課題】 斯る従来のビタビ等化器においては図6のチャンネルレスポンスと相互相関関数 r_j とを比較するとある程度の精度でチャンネルレスポンスを推定できることが確認できるが、その反面、本来ならば出現してはならない「偽のインパルスレスポンス」も検出されてしまうことが露呈している。この原因は同期信号パターンの自己相関関数 a_j を計算してみれば明らかである。

【0044】

【数5】

$$a_j = \sum_{n=-L}^{+L} x_n \cdot x_{n+j}$$

【0045】こうして計算した自己相関関数を図6に示す。この図6から明らかなように主ピーク以外にもかなり大きなレベルを有する幾つかのピークが存在し、これがチャンネルレスポンスを推定する際にその精度を劣化させる要因となっていた。

【0046】また先に、最尤受信器として特開平4-8

8726号公報に開示されたものもあるが、斯る最尤受信器においても精度の良い受信ができない不都合があった。

【0047】本発明は斯る点に鑑み精度の良い等化特性を得ることができるビタビ等化器を提案せんとするものである。

【0048】

【課題を解決するための手段】本発明ビタビ等化器は例えば図1及び図2に示す如く受信信号データ系列中からの第1のタイムスロットの同期信号データ部を検出する第1の同期信号データ検出手段3と、この受信信号データ系列中からの第2のタイムスロットの同期信号データ部を検出する第2の同期信号データ検出手段3と、この第1及び第2の同期信号データ検出手段3により検出した第1及び第2のタイムスロットの同期信号データを参照信号として、最小2乗法を用いて送信機と受信機との間の第1及び第2のインパルス応答を同定する伝送路特性推定手段4と、この第1及び第2のタイムスロットの同期信号データ間のインパルス応答をこの第1及び第2のインパルス応答を線形補間して求めるインパルス応答補間手段5と、このインパルス応答補間手段5よりのインパルス応答を基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段2とより成るものである。

【0049】

【作用】本発明によれば第1及び第2のタイムスロットの同期信号データを夫々参照信号として最小2乗法を用いて送信機と受信機との間の第1及び第2のインパルス応答 H_1 及び H_2 を得ると共にユーザーにアサインされているこの第1タイムスロットのデータ部のj番目のシンボルに対応するインパルス応答 H_j をこの第1及び第2のインパルス応答 H_1 及び H_2 を線形補間して求めているので、この送信機と受信機との間のインパルス応答を時々刻々に対応して誤差最小なものが同定でき、良好な等化特性が得られる。

【0050】

【実施例】以下、図1及び図2を参照して本発明ビタビ等化器の一実施例につき説明しよう。この図1において図3に対応する部分には同一符号を付し、その詳細説明は省略する。

【0051】この図1例においても入力端子1に供給される受信信号をビタビ推定部2のブランチメトリック計算回路21に供給すると共にこの受信信号を同期信号デ

ータ検出部3に供給する。

【0052】本例においてはこの同期信号データ検出部3においては、ユーザーに割り当てられているタイムスロット例えば図4Aのタイムスロット-1の同期信号データ部と例えばその次のタイムスロット-2の同期データ部とを検出する如くする。

【0053】この同期データ検出部3で検出した例えばタイムスロット-1の同期信号データ部及びタイムスロット-2の同期信号データ部を夫々伝送路特性推定部4に供給する。

【0054】本例においては、この伝送路特性推定部4において、このタイムスロット-1の同期信号データ及びタイムスロット-2の同期信号データを夫々参照信号として、最小2乗法を用いて送信機と受信機との間の第1のチャンネルレスポンス H_1 及び第2のチャンネルレスポンス H_2 を求める如くする。

【0055】この場合、このGSM方式においては同期信号パターンとして、図5に示す如き8種類のデータ系列が予め指定されており、この予め指定されている同期信号パターンを利用してチャンネルレスポンス H_1 及び H_2 を図6に示すようにモデル化する。このようにモデル化すれば、受信されるであろうと予想される信号 y_i は前述の数1で表される。

【0056】一方、実際に受信された信号を Y_i と表すと、i番目のシンボルに関する誤差 ε_i は次式で表される。

【0057】

$$\text{【数6】 } \varepsilon_i = y_i - Y_i$$

この誤差の2乗和Eを求める。

【0058】

【数7】

$$E = \sum_{i=-1}^{+m} \varepsilon_i^2 \\ = \sum_{i=-1}^{+m} \left\{ \sum_{n=-km}^{+kp} h_n \cdot x_{i-n} - Y_i \right\}^2$$

【0059】この誤差Eを最小とするようにインパルス列 h_n を決定する如くする。本例においては最小2乗法を適用する。このため数7を h_n について偏微分する如くする。

【0060】

【数8】

$$\frac{\partial E}{\partial h_n} = 2 \sum_{i=-1}^{+m} \left\{ \sum_{n=-km}^{+kp} h_n \cdot x_{i-n} - Y_i \right\} x_{i-n} = 0$$

この数8に、 $n = -km, -(km-1), \dots, 0, \dots, +(kp-1), +kp$ を代入すると次式に示す連立方程式が得られる。

【0061】

【数9】

$$\begin{bmatrix}
 \sum_{i=-1}^{+m} X_{i+km}^2 & \sum_{i=-1}^{+m} X_{i+km} X_{i+km-1} & \cdots & \sum_{i=-1}^{+m} X_{i+km} X_{i-kp} \\
 \sum_{i=-1}^{+m} X_{i+km-1} X_{i+km} & \sum_{i=-1}^{+m} X_{i+km-1}^2 & \cdots & \sum_{i=-1}^{+m} X_{i+km-1} X_{i-kp} \\
 \cdots & \cdots & \cdots & \cdots \\
 \sum_{i=-1}^{+m} X_{i-kp} X_{i+km} & \sum_{i=-1}^{+m} X_{i-kp} X_{i+km-1} & \cdots & \sum_{i=-1}^{+m} X_{i-kp}^2
 \end{bmatrix}
 \begin{bmatrix}
 h_{-km} \\
 h_{-km+1} \\
 \vdots \\
 h_{+kp}
 \end{bmatrix}$$

$$=
 \begin{bmatrix}
 \sum_{i=-1}^{+m} X_{i+km} Y_i \\
 \sum_{i=-1}^{+m} X_{i+km-1} Y_i \\
 \vdots \\
 \sum_{i=-1}^{+m} X_{i-kp} Y_i
 \end{bmatrix}$$

【0062】この連立方程式の係数マトリックスは、対称マトリックスとなるので各要素についての計算は全てについて行なう必要はない。更にこの連立方程式を解くには係数マトリックスをまずLU分解してから解くのが一般的である。本例による伝送路特性推定部4は以上の手段によって、チャンネルレスポンスを精度良く決定することができる。

【0063】本例においてはこのようにしてタイムスロットー1におけるチャンネルレスポンス H_1 及びタイムスロットー2におけるチャンネルレスポンス H_2 を求める如くする。

【0064】この伝送路特性推定部4において先に演算したタイムスロットー1のチャンネルレスポンス H_1 をチャンネルレスポンスメモリ6を介してチャンネルレスポンス補間回路5に供給すると共にこの伝送路特性推定部4で後に演算したタイムスロットー2のチャンネルレスポンス H_2 をこのチャンネルレスポンス補間回路5に供給する如くする。

【0065】このチャンネルレスポンス補間回路5においてはユーザーにアサインされている例えばタイムスロットー1におけるデータ部のj番目のシンボルに対応するチャンネルレスポンス H_j はこのチャンネルレスポンス H_1 及び H_2 の次式による線形補間によって決定する。

【0066】

【数10】

$$H_j = \frac{j}{J} H_2 + \frac{J-j}{J} H_1$$

【0067】ここでJは1タイムスロット中に送られる全シンボル数を示す。本例のGSM方式の場合は $J=156.25$ である。この数10においては1シンボル毎

に線形補間してチャンネルレスポンス H_j を演算したが、数シンボル毎に演算を行なうようにし、演算量を減らすようにしても良い。

【0068】このチャンネルレスポンス補間回路5の出力側に得られるチャンネルレスポンス H_j をビタビ推定部2のブランチメトリック計算回路21に供給する。

【0069】その他は図3について説明した従来のビタビ等化器と同様に構成する。この詳細説明は省略する。

【0070】本例のビタビ等化器の信号処理の流れを図2のフローチャートを用いて説明する。先ず受信信号データ Y_k が入力端子1に供給されたときに、タイムスロットー1の同期信号パターン部を検出する（ステップS1）。この同期信号パターン部の検出は受信信号データ Y_k と予め記憶されている同期信号パターンとの相関をとることにより行なう。

【0071】次に伝送路特性推定部4において、この検出された同期信号パターン部を参照信号として、最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化（定式化）する（ステップS2）と共にチャンネルレスポンス H_1 を同定する（ステップS3）。

【0072】また受信信号 Y_k のタイムスロットー2の同期信号パターン部を予め記憶されている同期パターンとの相関をとることにより検出する（ステップS4）。次に伝送路特性推定部4において、このタイムスロットー2の同期信号パターン部を参照信号として最小2乗法を用いて送信機と受信機との間のインパルス応答を定式化する（ステップS5）と共にチャンネルレスポンス H_2 を同定する。

【0073】次に数10により線形補間してタイムスロットー1のデータ部のj番目のシンボルのチャンネルレスポンス H_j を求める（ステップS7）。

【0074】次に、ブランチメトリック計算回路21は

ブランチメトリックの計算を行い(ステップS8)、続いてN番目のステートについて計算を開始する(ステップS9)。

【0075】次に1タイムスロット前のステート-1のアドレスを設定し(ステップS10)、次にこの設定したアドレスのパスメトリック記憶回路23に記憶されたパスメトリックを読み込み(ステップS11)、このパスメトリックをステップS8で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する(ステップS12)。

【0076】次にステップS13では、1タイムスロット前のステート-2のアドレスの設定を行い、この設定したアドレスのパスメトリック記憶されたパスメトリックを読み込み(ステップS14)、このパスメトリックをステップS8で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する(ステップS15)。

【0077】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い(ステップS16、S17)、そのセレクト値を出力し(ステップS18)、この値でパスメトリック記憶回路23を更新する(ステップS19)と共にバスメモリ26を更新する(ステップS20)。

【0078】上述したステップS9からステップS20までの処理を、状態数 2^{k-1} だけ繰り返す(ステップS21)。以上の処理が終了した後、最尤バス検出回路25によって最小のパスメトリック値を有するバスを検出し(ステップS22)、さらにパスメトリックの最小値を各パスメトリック量から減算することにより正規化の処理を行う(ステップS23)。

【0079】続いて最尤バス検出回路25によって最尤バスのアドレスを設定し(ステップS24)、バスメモリ26の内容を復号データとして出力する(ステップS25)。

【0080】本例は上述の如くタイムスロット-1及びタイムスロット-2の同期信号パターン部を参照信号として最小2乗法を用いて夫々送信機と受信機との間のチャンネルレスポンス H_1 及び H_2 を得ると共にユーザーにアサインされているタイムスロット-1のデータ部のj番目のシンボルに対応するチャンネルレスポンス H_j をこのチャンネルレスポンス H_1 及び H_2 を線形補間して求めているので送信機と受信機との間のチャンネルレスポンス H_j を時々刻々に対応して誤差最小なものが同定でき、良好な等化特性が得られる利益がある。

【0081】また本例は上述の如く伝送モデルは最小2乗法により推定しているため、誤差が最小となるモデルであり、良好な等化特性が得られる利益がある。

【0082】尚上述実施例においてはユーザーにアサインされているタイムスロット-1と次のタイムスロット-2の夫々のチャンネルレスポンス H_1 及び H_2 より線

形補間して使用するチャンネルレスポンス H_j を求めたがユーザーにアサインされていない方のタイムスロットはその他のタイムスロットでもよく、更に後続するフレームのユーザーにアサインされているタイムスロット-1のチャンネルレスポンスを使用するようにしても、上述と同様の作用効果が得られることは容易に理解できよう。また本発明は、上述実施例に限ることなく本発明の要旨を逸脱することなくその他種々の構成が採り得ることとは勿論である。

【0083】

【発明の効果】本発明によれば第1及び第2のタイムスロットの同期信号データを参照信号として最小2乗法を用いて夫々送信機と受信機との間のインパルス応答 H_1 及び H_2 を得ると共にユーザーにアサインされている第1のタイムスロットのデータ部のj番目のシンボルに対応するインパルス応答 H_j をこのインパルス応答 H_1 及び H_2 を線形補間して求めているので送信機と受信機との間のインパルス応答を時々刻々に対応して誤差最小なものが同定でき良好な等化特性が得られる利益がある。

【0084】また本発明によれば伝送モデルは最小2乗法により推定しているため、誤差が最小となるモデルであり、良好な等化特性が得られる利益がある。

【図面の簡単な説明】

【図1】本発明ビタビ等化器の一実施例を示す構成図である。

【図2】本発明ビタビ等化器の一実施例の説明に供する流れ図である。

【図3】ビタビ等化器を示す構成図である。

【図4】本発明の説明に供する線図である。

【図5】本発明の説明に供する線図である。

【図6】本発明の説明に供する線図である。

【図7】一般化した伝送路等価モデルを示す線図である。

【図8】具体化した伝送路等価モデルを示す線図である。

【図9】トレリス表現を示す線図である。

【図10】ビタビ等化器の論理ユニットを示す線図である。

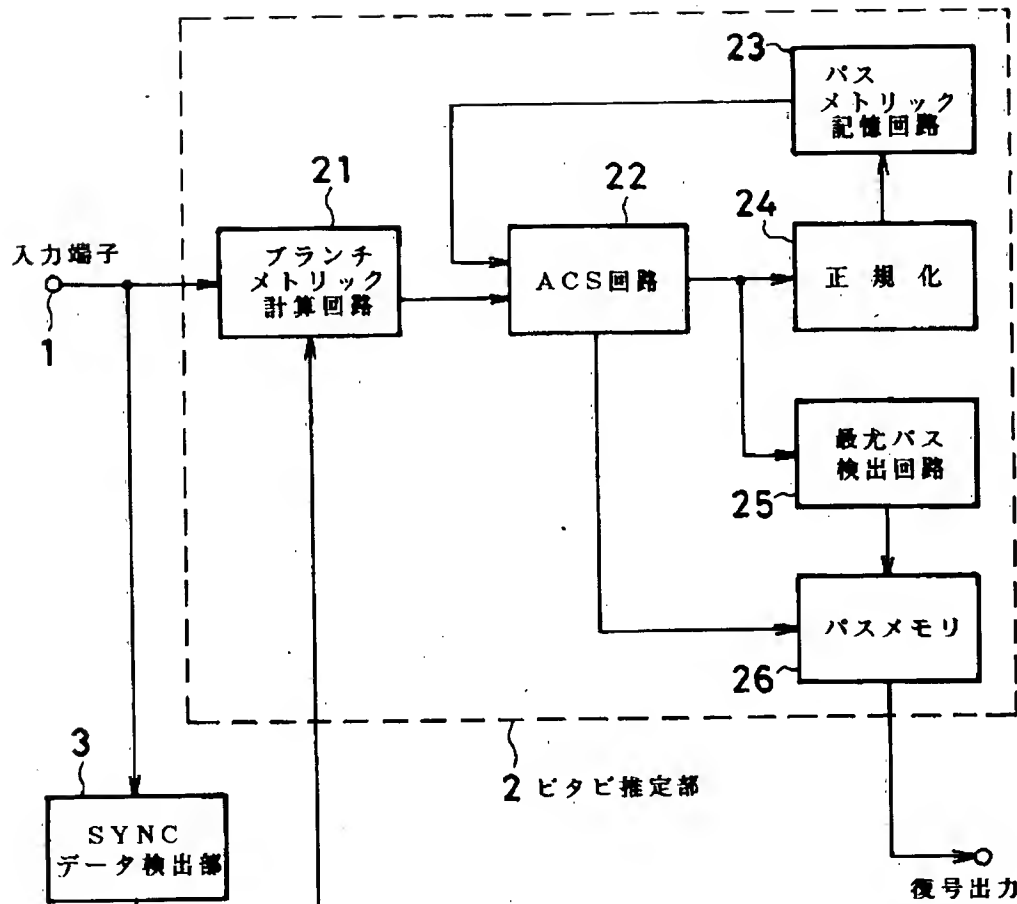
【図11】メトリックの計算と生き残りバスを示す線図である。

【図12】従来のビタビ等化器の説明に供する流れ図である。

【符号の説明】

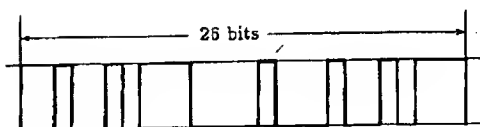
- 1 入力端子
- 2 ビタビ推定部
- 3 同期信号データ検出部
- 4 伝送路特性推定部
- 5 チャンネルレスポンス補間回路
- 6 チャンネルレスポンスメモリ

【図1】

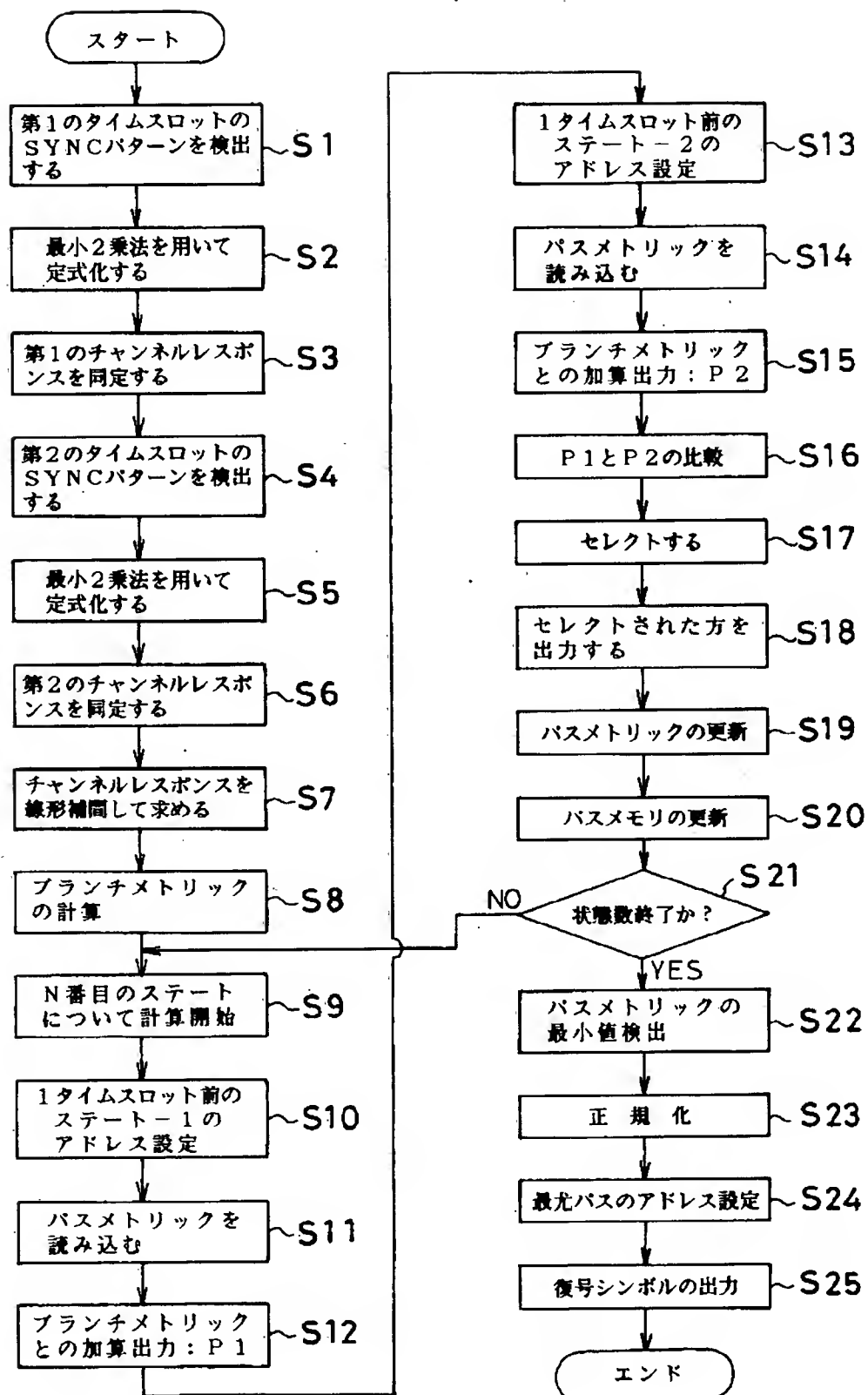


本発明ビタビ等化器の例

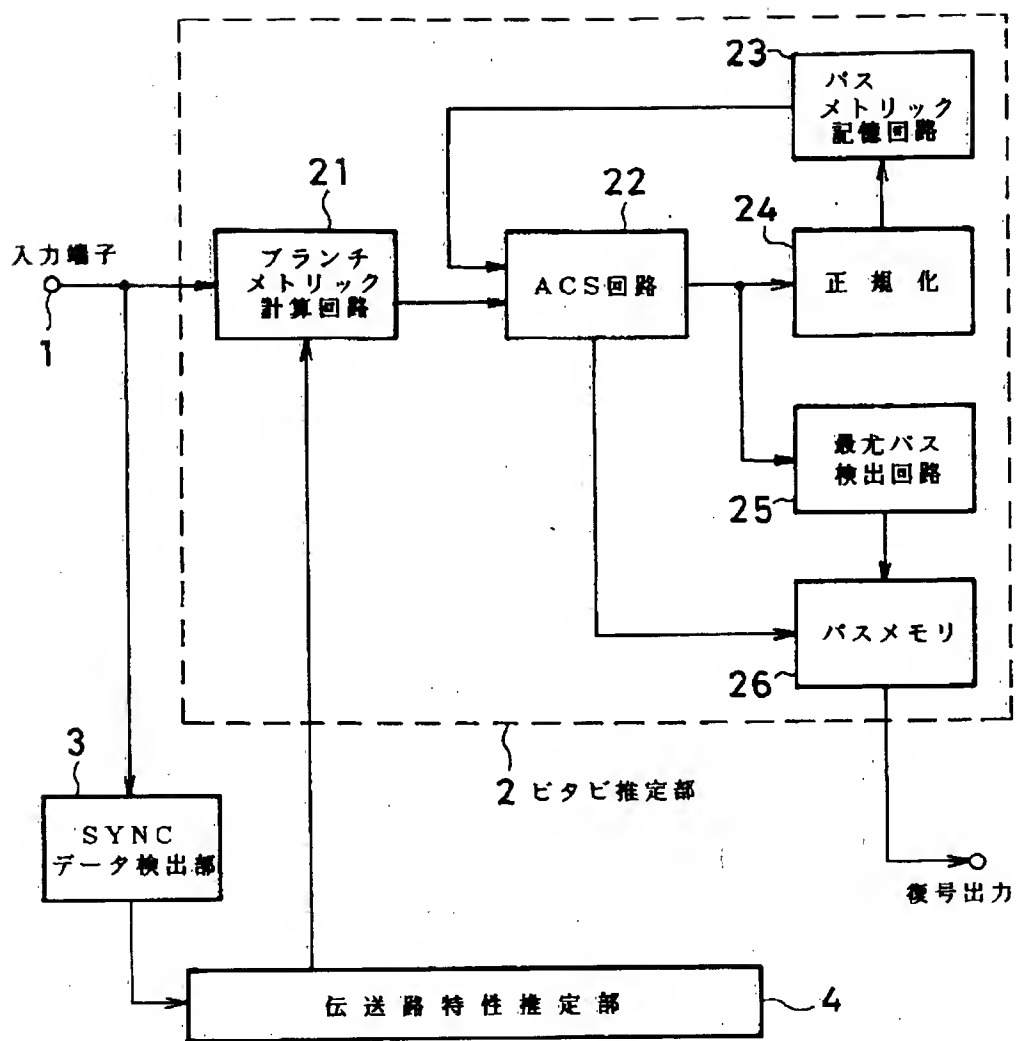
【図5】



【図2】

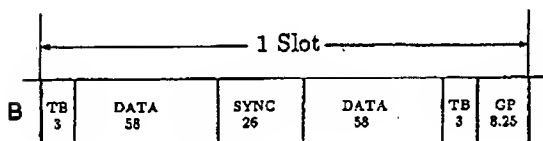
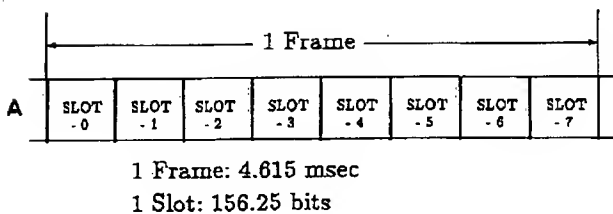


【図3】



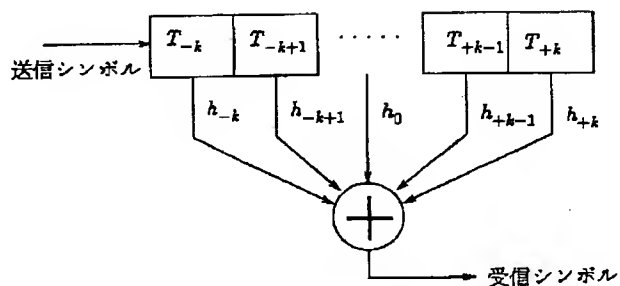
ビタビ等化器の基本構成

【図4】



TB: Tail Bits
GP: Guard Period

【図7】

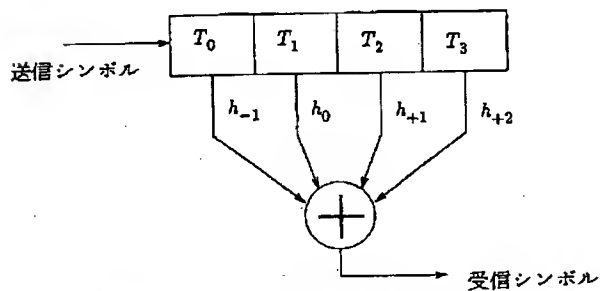


一般化した伝送路等価モデル

【図6】

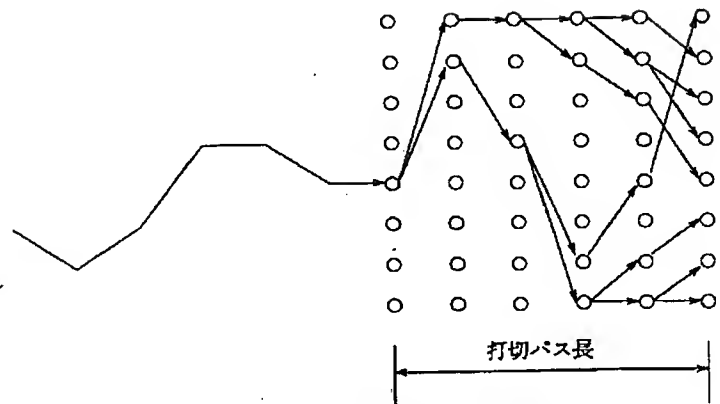
時間軸	チャンネル レスポンス (h_i)	SYNC (x)	受信信号 (y)	相互相関 (x と y)	自己相関 (x の)
-15			-0.80000	-0.08077	-0.03846
-14			-0.80000	0.03846	-0.07692
-13		-1.00000	-0.20000	-0.08077	-0.03846
-12		-1.00000	-1.80000	-0.02308	0.0
-11		1.00000	-0.10000	0.04231	-0.03846
-10		-1.00000	-0.50000	-0.30769	0.0
-9		-1.00000	-1.50000	0.19615	0.11538
-8		1.00000	1.50000	-0.38462	-0.38462
-7		-1.00000	-0.50000	0.11923	0.11538
-6		1.00000	-2.10000	-0.17692	0.0
-5		1.00000	-0.10000	0.08846	-0.03846
-4		1.00000	0.50000	-0.07692	-0.07692
-3		-1.00000	-1.50000	0.07308	0.11538
-2	0.80000	-1.00000	-1.50000	0.77692	0.0
-1	0	-1.00000	-0.50000	-0.03462	-0.03846
0	1.00000	-1.00000	-2.10000	1.00000	1.00000
1	0	1.00000	-0.10000	0.04231	-0.03846
2	0.30000	-1.00000	-2.10000	0.23846	0.0
3		-1.00000	-0.10000	0.07308	0.11538
4		-1.00000	-2.10000	-0.07692	-0.07692
5		1.00000	-0.10000	0.08846	-0.03846
6		-1.00000	-0.50000	-0.33077	0.0
7		-1.00000	-1.50000	0.19615	0.11538
8		1.00000	1.50000	-0.38462	-0.38462
9		-1.00000	-0.50000	0.11923	0.11538
10		1.00000	2.10000	-0.11538	0.0
11		1.00000	0.70000	-0.03462	-0.03846
12		1.00000	1.30000	-0.06154	0.0
13			0.30000	-0.08077	-0.03846
14			0.30000	0.23077	-0.07692
15				-0.08077	-0.03846

【図8】



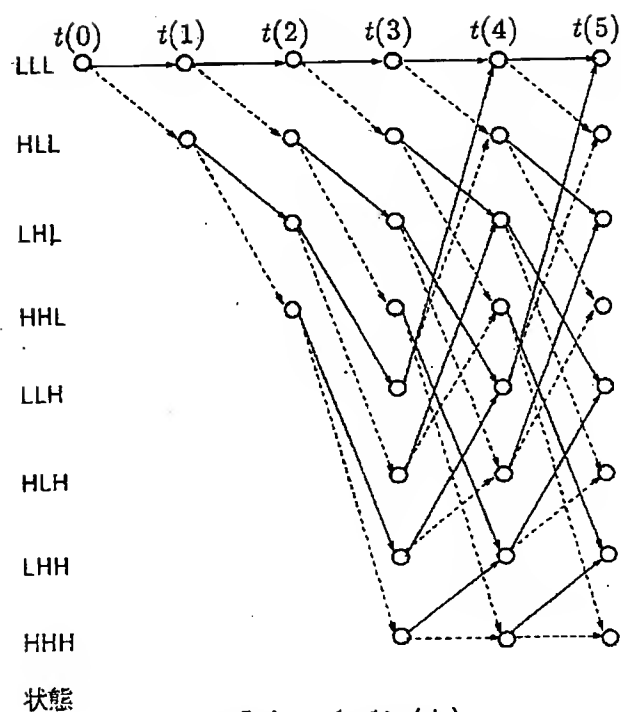
具体化した伝送路等価モデル

【図11】



メトリックの計算と生き残りパス

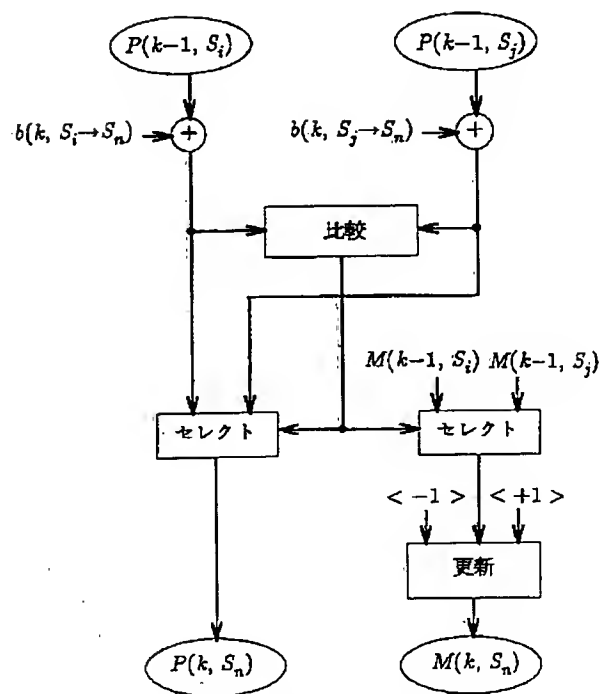
【図9】



—— 入力 = $\langle -1 \rangle$ (L)
 ----- 入力 = $\langle +1 \rangle$ (H)

トリレス表現

【図10】



ビタビ等化器の論理ユニット

【図12】

